

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-161191

(43)Date of publication of application : 21.06.1996

(51)Int.Cl.

G06F 11/22

G06F 11/28

G06F 11/28

(21)Application number : 06-303705

(71)Applicant : YOKOGAWA DIGITAL COMPUTER KK

(22)Date of filing : 07.12.1994

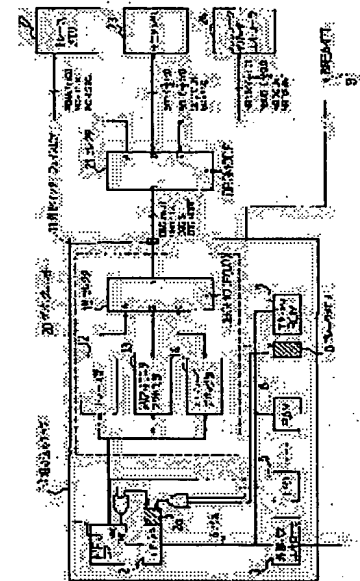
(72)Inventor : YAMADA TOSHIYUKI  
SATO TAKESHI

## (54) IN-CIRCUIT EMULATOR

### (57)Abstract:

**PURPOSE:** To execute sufficiently enough debugging even when a high speed MPU is a target by providing a built-in chip in a target device with a specific debugging unit.

**CONSTITUTION:** The built-in chip 10 in the target device is provided with the debugging unit 20 having a state analyzing trace function, a non-brake debugging function for executing real-time on-chip debugging resource in all states without stopping the running of a target MPU and an on-chip monitor memory access interface function. Since the unit 20 for executing a part of the functions of an ICE is included in the chip 10 including the MPU in the target device, the necessity of a buffer or the like used for data transfer between a conventional target device and the ICE is eliminated, and thereby the speed of data to be processed can be increased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

[Claim(s)]

[Claim 1] The incircuit emulator characterized by preparing the debugging unit which has the nonbreak debugging function to perform the tracing facility for the State analysis, and a real time on-chip debugging resource by all the State, without stopping transit of Target MPU, and the monitor memory access interface function of an off chip, in the inclusion chip which is the incircuit emulator which debugs target equipment and is in target equipment.

[Claim 2] It is the incircuit emulator according to claim 1 which possesses the external INTAFEI spin for connecting with the chip exterior at said debugging unit, and is characterized by this external INTAFEI spin enabling modification of the number of pins by the application of MPU and its application.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the incircuit emulator which enabled high-speed debugging in more detail about an incircuit emulator.

[0002]

[Description of the Prior Art] An incircuit emulator (it omits Following ICE) is in the equipment which accesses MPU in a target (testing device-ed), and debugs Target MPU. There are the following as a function of general ICE.

[0003] \*\* When connecting ICE to the emulation functional target of the target memory and changing a part of memory in a target, it is vicarious execution \*\*\*\*\* at the memory in ICE about the memory in a target. Usually, since the memory of a target is made of ROM, modification of a part of program etc. is difficult. Then, if the memory in a target is made to execute by proxy by the memory in ICE, since RAM can be used as memory in ICE, modification of a program etc. can be performed freely. Moreover, also when predetermined memory does not exist in a target, a program is included in the memory in ICE and

the emulation of a target is made.

[0004] \*\* It is the same as that of the function of the logic analyzer of the history tracing facility former, and is the function which records the data on two or more steps of buses of the front and back from a trigger time. The cause of a failure can be diagnosed by analyzing the data on the pass of order when a failure occurs to equipment.

[0005] \*\* It is the function which suspends actuation of MPU of a target activation breaking functional target (breaking), and reads the contents of the various registers in MPU at the halt time etc. The cause of the failure of a target can be diagnosed.

[0006]

[Problem(s) to be Solved by the Invention] Each of three above-mentioned functions was judged by the ICE side based on the signal which MPU outputs, and each function is realized. However, if a bus cycle is set to 30MHz or more, the conditional judgment which performs each function by the ICE side will become difficult.

[0007] When it states concretely, the time amount taken to judge whether it is the address which takes a break is 30-40nS from an address effective point in time. Therefore, if the setup of MPU and the hold time are taken into consideration, and bus cycle 30MHz is exceeded, it will become impossible to supply a breaking instruction from the ICE side. moreover, an ICE exchange when MPU is a single chip sake — separately — the chip for evaluation — it is necessary to manufacture — chip makers, such as cost. and a development schedule, and a user — it is a burden also for any.

[0008] This invention is made in view of such a technical problem, and even when high-speed MPU is a target, it aims at offering the incircuit emulator which can perform sufficient debugging.

[0009]

[Means for Solving the Problem] This invention which solves the above mentioned technical problem is an incircuit emulator which debugs target equipment, and is characterized by to prepare the debugging unit which has the nonbreak debugging function to perform the tracing facility for the State analysis, and a real time on-chip debugging resource by all the State, without stopping transit of Target MPU, and the monitor memory access interface function of an off chip, in the inclusion chip in target equipment.

[0010] In this case, the external INTAFEI spin for connecting with the chip exterior at said debugging unit is provided, and it is desirable [ this external INTAFEI spin ] to enable modification of the number of pins by the application of MPU and its application, when it corresponds to the application of MPU and its application flexibly.

[0011]

[Function] In the inclusion chip (embedded chip) containing MPU in target equipment, the debugging unit which performs a part of function of ICE was prepared. The buffer used by this when exchanging data between target equipment and ICE conventionally becomes unnecessary, and the data rate which can be treated part picking can be made quick. For example, what was able to be treated only to about conventional bus cycle 30MHz can treat now to about 100MHz.

[0012] In this case, the external INTAFEI spin for connecting with the chip exterior at said debugging unit is provided, and by enabling modification of the number of pins by the application of MPU and its application, this external INTAFEI spin can respond flexibly by the application of MPU and its application, and is convenient.

[0013]

[Example] Hereafter, the example of this invention is explained to a detail with reference to a drawing. Drawing 1 is the configuration block Fig. showing one example of this invention. In drawing, the inclusion chip (it is also called an embeded chip) with which 10 is attached in target equipment, and 20 are debugging units (it is also called the IDB unit) with the debugging function prepared in this inclusion chip. Although this debugging unit 20 is attached in the form of a chip in the inclusion chip 10, it is a part.

[0014] In the inclusion chip 10, 1 is a MPU core. In this MPU core 1, an NMI terminal is used for compulsive breaking (stop a MPU core) of an ICE function, and the breaking after activation. If this

terminal is asserted (activation), it will move from the following bus cycle to exception handling. An INT terminal is an interruption input terminal and is used as front [ activation ] breaking. When the instruction with which this terminal was asserted goes into the activation queue of the pipeline of a MPU core, it shifts to exception handling, without executing this instruction. The instruction at the time of INT terminal assertion is assumed to be grinding or the thing which obtained to SWI (software interrupt).

[0015] The cache memory by which 2 is connected with the MPU core 1, and 2a are the breaking memory attached to cache memory 2. This breaking memory 2a is incorporated by the INT terminal of a MPU core together with the instruction of the address which the MPU core 1 fetches from cache memory 2.

[0016] The external bus controller by which 3 is connected with cache memory 2, the I/O device (I/O) by which 5 is connected with a bus 4, RAM by which 6 is connected with a bus 4, and 7 are flash ROMs (ROM in which read/write is possible) connected with a bus 4. This flash ROM 7 is ROM for supporting the mask ROM built in in target equipment. Access of this flash ROM has become possible by the program of the monitor memory under breaking (after-mentioned).

[0017] 8 is breaking memory and has the size of 1 bit  $\times n$ . Here,  $n$  is given by the degree type. By the number-of-bits / minimum order bit length of  $n$ =ROM, for example, 256-bit ROM; when the minimum instruction of a MPU core is 8 bit length, it is set to  $n=256/8=32$ . Therefore, the capacity of the breaking memory 8 at this time becomes 32 bits.

[0018] Moreover, the breaking memory 8 is arranged on the same memory map as a flash ROM 7, and is loaded to breaking memory 2a of the INT terminal of the MPU core 1, or cache memory 2 synchronizing with the lead of the data of a flash ROM 7. A setup (make it 1 from 0) of the breaking memory 8 is set up during breaking by asserting the break point terminal 9 to breaking setting address access and coincidence by the monitor memory program.

[0019] Next, the configuration of the debugging unit 20 is explained. It connects with the address bus of the MPU core 1, a data bus, and a status signal, and this debugging unit 20 has the INTAFEI spin 11 with the chip exterior. ICE occupies this external INTAFEI spin 11. About the number of this pin, the optimal number can be set up now by the MPU core 1 or the application application. In addition,  $n$  can consider the case of 1, 3, 5, 7, 15, 31, and 63. Thus, by taking the configuration connected with ICE through external INTAFEI spin, the optimal number can be set up by the MPU core 1 or the application application, and it is convenient. Here, the case of  $n=15$  of DBG ( $n:0$ ) explains (bus width of face is shown.). ( $n:0$ ) It is below the same.

[0020] It is the trace section which outputs the address of the instruction with which 12 is performing under target run, the serial monitor access section in which 13 performs access INTAFEISU of the MPU core 1 and monitor memory under breaking, and the nonbreak debugging section by which 14 controls initialization of the ICE resource in a chip, data modification of the specific target memory, and the monitoring facility of the specific target memory, and it can carry out, without stopping a target run from the ICE side. And these trace section 12, the serial monitor access section 13, and the nonbreak debugging section 14 are connected with the MPU core 1. 15 is the INTAFEISU selector of the debugging unit 20, and selects the functional block 12-14 decided in the mode. A DBGMODE (1:0) signal is inputted into this selector 15 as a select signal.

[0021] 21 is the selector connected with the debugging unit 20 through the external INTAFEI spin 11, and selects the ICE resource decided in the mode. A DBGMODE (1:0) signal is inputted into this selector 21 as a select signal. As a signal exchanged between a selector 15 and a selector 21, there are DBG ( $n:0$ ), DBGCLK (clock signal), DBGS, and DBGMODE (1:0).

[0022] The debugging unit 20 can recognize now any of three functions of trace, serial monitor access, and nonbreak debugging are connected with the external INTAFEI spin 11 by mode signal DBGMODE (1:0). Moreover, also in the chip exterior, a selector 21 connects the signal pin of the external INTAFEI spin 11 to one block of the trace memory 22 which corresponds to the present mode with a DBGMODE

(1:0) signal, the monitor memory 23, and the nonbreak debugging controller 24. And the signal of the trace section 12 goes into the trace memory 22, the output of the monitor memory 23 goes into the MPU core 1 through the serial monitor access section 13, and the output of the nonbreak debugging controller 24 goes into the MPU core 1 through the nonbreak debugging section 14. Thus, it will be as follows if actuation of the constituted circuit is explained.

[0023] This invention has the description in the point of having carried the debugging unit 20 which performs a part of ICE function in the inclusion chip 10 in a user's target equipment. This debugging unit 20 shall possess the ICE function of extent which does not become a user's burden. In the conventional ICE, the configuration which incorporates from an ICE body and accesses a chip was taken. Therefore, components, such as the buffer gate, needed to be used between them and the rate of a clock of operation was restrained by about several 10MHz by the stray capacity which exists between the delay during I/O of a component, and a wire length. So, in this invention, it is that of the peach which enabled it to extend the clock of operation which makes the buffer gate etc. unnecessary, consequently can be used to about 100MHz by carrying the function of ICE in a user's inclusion chip 10. Hereafter, the moving function of the circuit of drawing 1 is explained.

[0024] As for the external INTAFEI spin 11 of drawing 1, each function is selected by the contents of DBGMODE (1:0) of Table 1. That is, it is in transformer State mode at monitor access mode and the time of DBGMODE=11 at NBD (nonbreak debugging) mode and the time of DBGMODE=10 at trace PC mode and the time of DBGMODE=01 at the time of DBGMODE=00. In addition, target mode, monitor access mode, and transformer State mode are trace PC modes, and NBD mode is monitor mode. Either of NBD mode is accessible.

[0025]

[Table 1]

シグナル(番号)	方向	内容
DBGMODE (1:0)	[1] 出力 [0] 入力	00 ---ターゲットラン, IDB機能はPCTレース。 01(MS3)---ターゲットラン, IDB機能はNBDモード。 01(except MS3) ---MPUコアはホールド, IDB機能はNBDモード。 10 ---モニタプログラムラン, TMEアクセス。 IDB機能はモニタリアルアクセスインターフェイス。
DBG(n:0)	出力 入力 出力 入力 出力	DBGMODE=00 PCTレースバス PCHA (n:0) DBGMODE=01 NBDバス NBDDO (n/2:0) 出力バス NBDDI (n/2:0) 入力バス シリアルモニタアクセスバス DBGMODE=10 SDO (n/2:0) 出力バス SDI (n/2:0) 入力バス
DBGCLK	出力 入力 入力	DBGMODE=00 この信号はPCTレース出力データの同期クロックとして用いられる。 PCHCLK DBGMODE=01 この信号はNBDの入出力データの同期クロックとして用いられる。 NBDCLK DBGMODE=10 この信号はシリアルモニタアクセスの入出力データの同期クロックとして用いられる。 SDCLK
DBGS	出力 入力 出力	DBGMODE=00 この信号の有効期間はPCTレースの出力アドレスシーケンシャルであることを示す。この信号はチップからの出力である。 PCHSEQ DBGMODE=01 この信号の有効期間は入力データがNBD機能のコマンドであることを示す。この信号はICE側から供給される。 NBDSYNC DBGMODE=10 この信号の有効期間は出力データがステートであることを示す。 SDSYNC

[0026] Transition of a DBGMODE (1:0) signal is explained.

DBGMODE (0): Chip input signal. It is used for the demand of NBD(nonbreak debugging) MODE to the MPU core 1. 1 shows under a demand and NBD actuation.

DBGMODE (1): Chip output signal. It is shown that 1 is under breaking (serial monitor access mode). It is shown that 0 is [ target ] under run. At this time, the MPU core 1 is during target memory access. The

debugging unit 20 is PC trace or NBD mode.

[0027] Table 2 shows the definition of DBGMODE (1:0), a debugging unit (IDB) function, and the external INTAFEI spin 11.

[0028]

[Table 2]

IDB機能 外部インターフェイス	ターゲットモード		モニタモード	
	トレースPCモード	NBDモード	モニタアクセスモード	トランスステートモード
DBG (15:0)	PCHA (15:0) (OUT)	NBDDO (7:0) (OUT) NBDDI (7:0) (IN)	SDO (7:0) (OUT) SDI (7:0) (IN)	
DBGCLK	PCHCLK(OUT)	NBDCLK(IN)	SDCLK(IN)	
DBGCS	PCHSEQ(OUT)	NBDSYNC(IN)	SDSYNC(OUT)	
DBGMODE(1:0)	(MODE 00)	(MODE 01)	(MODE 10)	(MODE 11)
DBGREQ	DBGREQはBAE(Break After Execution)が信号入力の要求を意味する		DBGREQは内部ブレークポイントメモリに書込まれる情報を意味する	

[0029] (1) During a target run (DBGMODE=00), a PC tracing facility PC tracing facility carries out time sharing of the address of the instruction under activation of the MPU core 1 from the trace section 12, and outputs it to the external INTAFEI spin 11 through a selector 15. In the chip exterior, a selector 21 connects with the trace memory 22, and the signal of the external INTAFEI spin 11 is sampled by the trace memory 22 under control of a PCH clock and PCHSEQ.

[0030] The contents of an output of PC trace are outputted by time sharing from an address high order. The example of an output is explained below.

\*\* In the case of the number of signal lines of address width-of-face  $\leq$  DBG (n:0) of the MPU core 1, output all the addresses to coincidence synchronizing with the bus cycle of MPU.

[0031] \*\* In the case of the number of signal lines of address width-of-face  $>$  DBG (n:0) of the MPU core 1, by branching of a program etc., when the address of the MPU core 1 is not sequential, output an upper address, and when sequential, output a lower address. Drawing 2 and drawing 3 are drawings showing the output timing in trace PC mode. The case where the address width of face of drawing 3 of the MPU core 1 is 16 bits and DBG (7:0) about the case where the address width of face of drawing 2 of the MPU core 1 is 32 bits and DBG (15:0) is shown, respectively.

[0032] the address with which, as for N-SEQ, the MPU core 1 outputs the contents from which the contents to which PCH (15:0) is outputted by IDB in the output address of the MPU core 1 are written to A (31:0) in SUB (31:0) by the trace memory 22 in drawing 2 — non — the case where the address with which, as for SEQ, MPU outputs the case of being sequential (when there being program branching etc.) is sequential is shown, respectively. nOPC shows the signal with which the MPU core 1 leads a program on "0" level, respectively. the address with which, as for N-SEQ, the MPU core 1 outputs the contents from which the contents to which PCH (7:0) is outputted from the debugging unit 20 in the output address of the MPU core 1 are written to A (15:0) in SUB (15:0) by the trace memory 22 in drawing 3 — non, the case where the address with which, as for SEQ, the MPU core 1 outputs the case of being sequential is sequential is shown, respectively. In the case of drawing 3, all the addresses are memorized by memory.

[0033] \*\* When it cannot be defined as the number which needs the number of signal lines of DBG (n:0) to perform address output of the MPU core 1, output only the address which program branching of the MPU core 1 generated in this case. When the following branch address occurs during a branch-address output, it enables it to identify in the chip exterior by negating a PCHSEQ signal (deactivation) and performing a new branch-address output. Drawing 4 and drawing 5 are drawings showing the timing in

the trace PC mode at this time of operation. The case where the address width of face of drawing 5 of the MPU core 1 is 16 bits and DBG (3:0) about the case where the address width of face of drawing 4 of the MPU core 1 is 16 bits and DBG (3:0) is shown, respectively. the case of drawing 4 — the case of drawing 3 — differing — branching — the address — non, only a branch address is memorized by memory when it becomes sequential.

[0034] (3) While Target MPU takes a break, a serial monitor access functional serial monitor access function is used in order to access the program of the monitor memory of an off-chip through signal lines, such as DBG (n:0), (when it is DBGMODE(1:0) =10). Access is outputted and inputted by time sharing in order of the State, the address, and data. The address and data are transmitted from a high order bit. The contents of the State are a lead, a light, a program fetch, and a valid byte. In the case of a 32-bit data bus (D31-D0), a valid byte tells the chip exterior about an effective cutting tool (D7-D0) at the time of cutting tool access.

[0035] Since SDI (n-1/2:0) of the bus for serial monitor accesses and the bit width of face of SDO (n-1/2:0) are decided, it is necessary to carry out time sharing of the State, the address, and the data, and to transmit them by the number of DBG (n:0). A setup of the division number is set up by the function of nonbreak debugging.

[0036] Drawing 6 is drawing showing the timing of the light cycle in serial monitor access of operation. Drawing shows the case of DBG (15:0). There is one bus cycle of MPU core.1 self to SDCLK1-SDCLK13. A data light is carried out to the monitor memory 23 in falling of BUSCLK2.

[0037] A serial monitor bus carries out time sharing of the address already outputted from the MPU core 1, data, and the State by BUSCLK1, and outputs them to the monitor memory 23 among drawing in the path of the serial monitor access section 13 → selector 15 → selector 21 → monitor memory 23. Two \*\*\*\*s (n:0) of DBG(s) are used as the bus SDO (n-1/2:0) for an output, and the bus SDI for an input (n-1/2:0) through the selector 21 at the time of monitor memory access. The light data to the monitor memory 23, the State, and the address are divided into the bus width of face of SDO (n-1/2:0), and are outputted from SDO (n-1/2:0) of a selector 21.

[0038] In drawing 6 , when light data are SDCLK12, in the chip exterior, a light (writing) is carried out to the monitor memory 23 by falling of SDCLK13, i.e., falling of BUSCLK, by that of all bit \*\*\*\*.

[0039] Drawing 7 is drawing showing the timing of the read cycle in serial monitor access of operation. Drawing shows the case of DBG (15:0). In a read cycle, the output of the State and the address is performed like a light. ICE recognizes it as a read cycle in the chip exterior by the lead in the State, and transfer of a light bit. The monitor memory 23 side sets up the data applicable to the address outputted by SDCLK6 to SDCLK7. The serial monitor access section 13 incorporates D31-D0 of the chip exterior by time sharing through SDI (n-1/2:0) from SDCLK8. And if it gathers all bits (D31-D0) inside a chip in SDCLK12, the MPU core 1 leads D31-D0 in falling of SDCLK13, i.e., falling of BUSCLK2.

[0040] (3) Nonbreak debugging (NBD)

Nonbreak debugging (NBD) is INTAFEISU which can access an on-chip debugging resource from the chip outside by all the State, without taking a break the MPU core 1 under target run in the path of the nonbreak debugging section 14 → selector 15 → selector 21 → nonbreak debugging controller 24. The resource of NBD on chip has the memory which became independent of the memory map of the MPU core 1. There are four functions shown below in NBD.

[0041] \*\* initialization function: — setting \*\* RAM monitoring facility [ of on-chip debugging reset ]: — lead-out \*\* dynamic tuning function [ of the newest access data of the specific address ]: — data modification \*\* reserve [ of the specific address ]: — future MPU and drawing 8 for an escape (access flow of NBD) of application are drawings showing the memory map of NBD. Initial setting is performed to the initialization field of a NBD map, a RAM monitor is set as a RAM monitor area, and a dynamic tuner is set as a dynamic tuning field. Thus, the access flow of the block diagram of drawing 9 and drawing 10 explains access of the NBD resource of the constituted memory map. In drawing 9 , 10 incorporates and, as for a chip (refer to drawing 1 ) and 1, a MPU core and 14 are the nonbreak debugging sections. 30 is

a NBD control block and consists of SHIRI / a Para transducer 31, a register group 32, and a decoder 33. The register group 32 consists of P0 register, P1 register, and P2 register. 40 is an ICE control unit and contains CPU41 of ICE inside.

[0042] In drawing 8, data "AAH" (H shows a hexadecimal) are performed to the E00 street latch address A (31:24) as follows, when carrying out a light.

\*\* Carry out the light of the "8EH" which means the light to a RAM monitoring facility to PO register.

[0043] \*\* Carry out the light of "00H" of changing into P1 register about the address A in a RAM monitor memory map (31:24).

\*\* In order to change the contents of the address A in a RAM monitor memory map (31:24) into P2 register at "AAH", carry out the light of the "AAH."

[0044] In a lead, a light is carried out and the contents of A (31:24) in a RAM monitor memory map can lead "0EH" by leading P2 register at PO register.

[0045] According to this invention, the following effectiveness is acquired.

\*\* Also in an inclusion chip (single chip) without external access INTAFEISU, since history trace for debugging was enabled, debugging of the program execution of a MPU core, a trace, etc. can be performed.

[0046] \*\* The debugging resource in a chip can be accessed, without taking a break target run actuation of a MPU core by having prepared the nonbreak debugging function. Thereby, the function of debugging can be used now for real time, without affecting a MPU core.

[0047] \*\* Since monitor serial access INTAFEISU was prepared, it can control by the pace by the side of ICE during breaking. Moreover, also in a single chip without an external bus, activation of a monitor program is attained by this function.

[0048] \*\* Since on-chip breaking memory was prepared, it can take a break certainly also in the time of a high speed MPU or a single chip.

\*\* Since IDB is made to a disable at the time of ICE intact even if it defines the function of the above-mentioned \*\* - \*\* on a real chip, it can be used as an initial flow term of target MPU on chip as it is. Moreover, since it is not necessary to manufacture EBACHIPPU, a port emulator, etc. for evaluation separately even when there is no external access INTAFEISU at a single chip etc., a merit comes out of cost and a development schedule for a user and a chip maker.

[0049]

[Effect of the Invention] As mentioned above, as explained to the detail, according to this invention, the debugging unit which performs a part of function of ICE was prepared in the inclusion chip (embedded chip) containing MPU in target equipment. The buffer used by this when exchanging data between target equipment and ICE conventionally becomes unnecessary, and the data rate which can be treated part picking can be made quick. For example, what was able to be treated only to about conventional bus cycle 30MHz can treat now to about 100MHz.

[0050] In this case, the external INTAFEI spin for connecting with the chip exterior at said debugging unit is provided, and by enabling modification of the number of pins by the application of MPU and its application, this external INTAFEI spin can respond flexibly by the application of MPU and its application, and is convenient.

[0051] Thus, according to this invention, even when high-speed MPU is a target, the incircuit emulator which can perform sufficient debugging can be offered.

---

[Translation done.]



**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the configuration block Fig. showing one example of this invention.

[Drawing 2] It is drawing showing the output timing in trace PC mode.

[Drawing 3] It is drawing showing the output timing in trace PC mode.

[Drawing 4] It is drawing showing the output timing in trace PC mode.

[Drawing 5] It is drawing showing the output timing in trace PC mode.

[Drawing 6] It is drawing showing the timing of the light cycle in serial monitor access of operation.

[Drawing 7] It is drawing showing the timing of the read cycle in serial monitor access of operation.

[Drawing 8] It is drawing showing the memory map of NBD.

[Drawing 9] It is the explanation block diagram of a NBD access flow.

[Drawing 10] It is drawing showing a NBD access flow.

**[Description of Notations]**

1 MPU Core

2 Cache

2a Breaking memory

3 External Bus Controller

4 Bus

5 I/O Device

6 RAM

7 Cache ROM

8 Breaking Memory

9 Break Point Terminal

10 Inclusion Chip

11 External INTAFEI Spin

12 Trace Section

13 Serial Monitor Access Section

14 Nonbreak Debugging Section

15 Selector

21 Selector

22 Trace Memory

23 Monitor Memory

24 Nonbreak Debugging Controller

---

**[Translation done.]**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-161191

(43)公開日 平成8年(1996)6月21日

(51) Int.Cl.<sup>8</sup>

G O 6 F 11/22  
11/28

識別記号

**3 4 0 A**

室内整理番号

**L 7313-5B**

3 1 0 A 7313-5B

**F.I.**

### 技術表示箇所

審査請求 未請求 請求項の数 2 OL (全 14 頁)

(21)出願番号

特願平6-303705

(22) 出願日

平成6年(1994)12月7日

(71)出願人: 591076110

横河デジタルコンピュータ株式会社

東京都千代田区三番町 8 番地 7

(72)発明者 山田 敏行

東京都千代田区三番町8番地7 横河ディ  
ジタルコンピュータ株式会社内

(72)発明者 佐藤 剛

東京都千代田区三番町 8 番地 7 横河ディ  
ジタルコンピュータ株式会社内

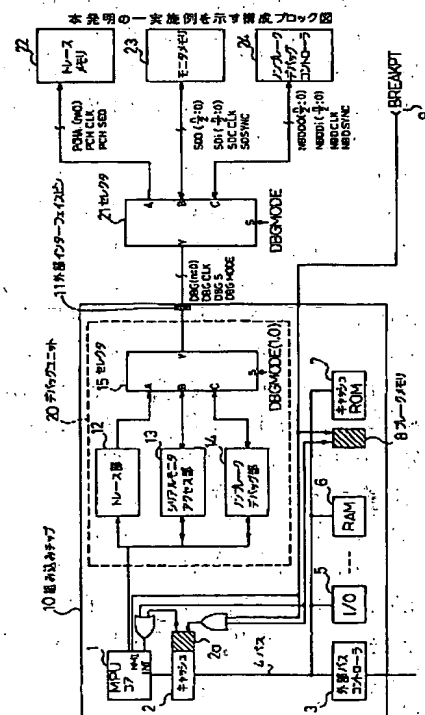
(74)代理人 弁理士 渡辺 正康 (外1名)

(54) 【発明の名称】 インサーキットエミュレータ

(57) 【要約】

【目的】 本発明はインサートエミュレータに関し、高速のMPUがターゲットである場合でも十分なデバッグを行なうことができるインサートエミュレータを提供することを目的としている。

【構成】 ターゲット装置内にある組み込みチップ内に、ステート解析用のトレース機能、リアルタイムなオンチップデバッグリソースをターゲットMPUの走行を止めることなく全ステートで行なうノンブレイクデバッグ機能及びオフチップのモニタメモリアクセスインタフェース機能を持つデバッグユニットを設けて構成する。



(2)

## 【特許請求の範囲】

【請求項1】 ターゲット装置のデバッグを行なうインサートキットエミュレータであって、ターゲット装置内にある組み込みチップ内に、ステート解析用のトレース機能、リアルタイムなオンチップデバッグリソースをターゲットMPUの走行を止めることなく全ステートで行なうノンブレイクデバッグ機能及びオフチップのモニタメモリアクセスインタフェース機能を持つデバッグユニットを設けたことを特徴とするインサートキットエミュレータ。

【請求項2】 前記デバッグユニットにチップ外部と接続するための外部インターフェイスピンを具備し、該外部インターフェイスピンはMPU及びそのアプリケーションの用途によりピン数の変更を可能にすることを特徴とする請求項1記載のインサートキットエミュレータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はインサートキットエミュレータに関し、更に詳しくは高速のデバッグを可能にしたインサートキットエミュレータに関する。

## 【0002】

【従来の技術】ターゲット（被試験装置）内のMPUにアクセスしてターゲットMPUのデバッグを行なう装置にインサートキットエミュレータ（以下ICEと略す）がある。一般的なICEの機能としては、以下のものがある。

## 【0003】① ターゲットメモリのエミュレーション機能

ターゲットにICEを接続し、ターゲット内のメモリの一部を変更する場合、ターゲット内のメモリをICE内のメモリで代行せざる。通常、ターゲットのメモリはROMでできているので、プログラムの一部の変更等は困難である。そこで、ターゲット内のメモリをICE内のメモリで代行させれば、ICE内のメモリとしてはRAMを用いることができるので、プログラムの変更等が自由にできる。また、所定のメモリがターゲット内に存在しない時にも、ICE内のメモリにプログラムを組み込んでターゲットのエミュレーションができる。

## 【0004】② ヒストリトレース機能

従来のロジックアナライザの機能と同様のものであり、トリガ時点から前方及び後方の複数段階のバス上のデータを記録する機能である。装置に障害が発生した時の、前後のバス上のデータを解析することにより、障害の原因を診断することができる。

## 【0005】③ ターゲット実行ブレイク機能

ターゲットのMPUの動作を停止（ブレイク）し、その停止時点のMPU内の各種レジスタ等の内容を読み出す機能である。ターゲットの障害の原因を診断することができる。

## 【0006】

2

【発明が解決しようとする課題】上記3つの機能は、いずれもMPUの出力する信号を基にICE側で判断し、各機能を実現している。しかしながら、バスサイクルが30MHz以上になると、ICE側で各機能を行なう条件判断が困難になる。

【0007】具体的に述べると、ブレイクするアドレスか否かを判断するのに要する時間は、アドレス有効時点から30～40nsである。従って、MPUのセットアップ、ホールド時間を考慮すると、バスサイクル30MHzを越えるとブレイク命令をICE側から供給することが不可能になってしまう。また、MPUがシングルチップの場合には、ICE支援のために別途評価用チップを製作する必要があり、コスト、開発日程等、チップメーカー、ユーザいずれにとっても負担になっている。

【0008】本発明はこのような課題に鑑みてなされたものであって、高速のMPUがターゲットである場合でも十分なデバッグを行なうことができるインサートキットエミュレータを提供することを目的としている。

## 【0009】

【課題を解決するための手段】前記した課題を解決する本発明は、ターゲット装置のデバッグを行なうインサートキットエミュレータであって、ターゲット装置内にある組み込みチップ内に、ステート解析用のトレース機能、リアルタイムなオンチップデバッグリソースをターゲットMPUの走行を止めることなく全ステートで行なうノンブレイクデバッグ機能及びオフチップのモニタメモリアクセスインタフェース機能を持つデバッグユニットを設けたことを特徴としている。

【0010】この場合において、前記デバッグユニットにチップ外部と接続するための外部インターフェイスピンを具備し、該外部インターフェイスピンはMPU及びそのアプリケーションの用途によりピン数の変更を可能にすることが、MPU及びそのアプリケーションの用途に柔軟に対応する上で好ましい。

## 【0011】

【作用】ターゲット装置内のMPUを含む組み込みチップ（エンベデッドチップ）内に、ICEの機能の一部を実行するデバッグユニットを設けた。これにより、従来ターゲット装置とICE間でデータのやりとりを行なう際に用いていたバッファ等が不要となり、その分取り扱えるデータ速度を速くすることができる。例えば、従来バスサイクル30MHz程度までしか扱えなかったものが、100MHz程度まで扱えるようになる。

【0012】この場合において、前記デバッグユニットにチップ外部と接続するための外部インターフェイスピンを具備し、該外部インターフェイスピンはMPU及びそのアプリケーションの用途によりピン数の変更を可能にすることにより、MPU及びそのアプリケーションの用途により柔軟に対応することができ都合がよい。

## 【0013】

50

(3)

3

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は本発明の一実施例を示す構成ブロック図である。図において、10はターゲット装置内に取り付けられる組み込みチップ（エンベデッドチップともいう）、20は該組み込みチップ内に設けられたデバッグ機能を持つデバッグユニット（IDBユニットともいう）である。このデバッグユニット20は、組み込みチップ10内にチップの形で取り付けられるものの一部分である。

【0014】組み込みチップ10において、1はMPUコアである。該MPUコア1において、NMI端子はICE機能の強制ブレーク（MPUコアを停止させること）及び実行後ブレークに使用するものである。この端子がアサート（活性化）されると、次のバスサイクルから例外処理に移るようになっている。INT端子は、割り込み入力端子で、実行前ブレークとして使用するものである。この端子がアサートされた命令がMPUコアのパイプラインの実行キューに入った時、この命令を実行せずに例外処理に移行するようになっている。INT端子アサート時の命令をSWI（ソフトウェアインタラプト）にすりかえたものと仮定する。

【0015】2はMPUコア1と接続されるキャッシュメモリ、2aはキャッシュメモリ2に付属するブレークメモリである。該ブレークメモリ2aは、MPUコア1がキャッシュメモリ2からフェッチするアドレスの命令と一緒にMPUコアのINT端子に取り込まれるようになっている。

【0016】3はキャッシュメモリ2と接続される外部バスコントローラ、5はバス4と接続される入出力装置（I/O）、6はバス4と接続されるRAM、7はバス4と接続されるフラッシュROM（リード/ライト可能なROM）である。該フラッシュROM7は、ターゲット装置内に内蔵されるマスクROMをサポートするためのROMである。このフラッシュROMは、ブレーク中のモニタメモリ（後述）のプログラムによりアクセスができるようになっている。

【0017】8はブレークメモリで、1ビット×nのサイズを持っている。ここで、nは次式で与えられる。

$$n = \text{ROMのビット数} \div \text{最小命令ビット長}$$

例えば、256ビットのROMで、MPUコアの最小命令が8ビット長の時、 $n = 256 \div 8 = 32$ となる。従って、この時のブレークメモリ8の容量は32ビットになる。

【0018】また、ブレークメモリ8はフラッシュROM7と同じメモリマップ上に配置され、フラッシュROM7のデータのリードと同期してMPUコア1のINT端子もしくはキャッシュメモリ2のブレークメモリ2aにロードされるようになっている。ブレークメモリ8の設定（0から1にすること）は、ブレーク中に、モニタメモリプログラムによりブレーク設定アドレスアクセス

4

と同時にブレークポイント端子9をアサートすることにより設定するようになっている。

【0019】次に、デバッグユニット20の構成について説明する。該デバッグユニット20はMPUコア1のアドレスバス、データバス及びステータス信号と接続され、チップ外部とのインターフェイスピン11を持っている。この外部インターフェイスピン11は、ICEが占有するようになっている。このピンの本数については、MPUコア1やアプリケーション用途により最適な本数を設定することができるようになっている。なお、nは1, 3, 5, 7, 15, 31, 63のケースが考えられる。このように、外部インターフェイスピンを介してICEと接続する構成をとることにより、MPUコア1やアプリケーション用途により最適な本数を設定することができ、都合がよい。ここではDBG(n:0)のn=15のケースで説明する（(n:0)はバス幅を示す。以下同じ）。

【0020】12はターゲットラン中の実行している命令のアドレスを出力するトレース部、13はブレーク中におけるMPUコア1とモニタメモリのアクセスインターフェイスを行なうシリアルモニタアクセス部、14はチップ内ICEリソースの初期設定、特定ターゲットメモリのデータ変更及び特定ターゲットメモリのモニタ機能の制御を行なうノンブレークデバッグ部で、ICE側からターゲットランを止めることなく行なうことができるようになっている。そして、これらトレース部12、シリアルモニタアクセス部13及びノンブレークデバッグ部14はMPUコア1と接続されている。15は、デバッグユニット20のインターフェイスセクタで、モードで決められた機能ブロック12~14を選択できるようになっている。このセクタ15にはセレクト信号として、DBGMODE(1:0)信号が入力される。

【0021】21は外部インターフェイスピン11を介してデバッグユニット20と接続されるセクタで、モードで決められたICEリソースを選択するものである。該セクタ21には、セレクト信号としてDBGMODE(1:0)信号が入力される。セクタ15とセクタ21間でやりとりされる信号としては、DBG(n:0), DBGCLK(クロック信号), DBGS, DBGMODE(1:0)がある。

【0022】デバッグユニット20は、モード信号DBGMODE(1:0)により、トレース、シリアルモニタアクセス、ノンブレークデバッグの3つの機能のいずれが外部インターフェイスピン11と接続されているかを認識できるようになっている。また、チップ外部においても、セクタ21は、DBGMODE(1:0)信号により現行モードに該当するトレースメモリ22、モニタメモリ23、ノンブレークデバッグコントローラ24のいずれかのブロックに外部インターフェイスピン1

(4)

5

1の信号ピンを接続する。そして、トレース部12の信号は、トレースメモリ22に入り、モニタメモリ23の出力はシリアルモニタアクセス部13を介してMPUコア1に入り、ノンブレイクデバッグコントローラ24の出力はノンブレイクデバッグ部14を介してMPUコア1に入る。このように構成された回路の動作を説明すれば、以下のとおりである。

【0023】本発明は、ユーザのターゲット装置内にある組み込みチップ10内にICE機能の一部を行なうデバッグユニット20を搭載した点に特徴がある。このデバッグユニット20は、ユーザの負担にならない程度のICE機能を具備するものとする。従来のICEでは、ICE本体から組み込みチップにアクセスする構成をとっていた。従って、その間にバッファゲート等の素子を用いる必要があり、素子の入出力間の遅延、配線長間に存在する漂遊容量等で動作クロックの速度が数10MHz程度に制約されていた。そこで、本発明では、ICEの機能をユーザの組み込みチップ10内に搭載すること

6

により、バッファゲート等を不要にし、この結果、使用できる動作クロックを100MHz程度まで延ばすことができるようにしたものである。以下、図1の回路の動作機能について説明する。

【0024】図1の外部インターフェイスピン11は、表1のDBGMODE(1:0)の内容により各機能がセレクトされる。つまり、DBGMODE=00の時トレースPCモード、DBGMODE=01の時NBD(ノンブレイクデバッグ)モード、DBGMODE=10の時モニタアクセスモード、DBGMODE=11の時トランスステートモードである。なお、トレースPCモード、NBDモードはターゲットモード、モニタアクセスモード、トランスステートモードはモニタモードである。NBDモードは、いずれでもアクセス可能である。

【0025】

【表1】

(5)

7 シグナル(信号)	方向	8 内容
DBGMODE (1:0)	[1] 出力 [0] 入力	00 --- ターゲットラン。IDB機能はPCTレース。 01(MS3)---ターゲットラン。IDB機能はNBDモード。 01(except MS3) --- MPUコアはホールド。IDB機能はNBDモード。 10 --- モニタプログラムラン。TMEアクセス。 IDB機能はモニタシリアルアクセスインターフェイス。
DBG(n:0)	出力 入力 出力 入力 出力	DBGMODE=00 PCTレースバス PCHA(n:0) DBGMODE=01 NBDバス NBDDO(n/2:0) 出力バス NBDDI(n/2:0) 入力バス シリアルモニタアクセスバス DBGMODE=10 SDO(n/2:0) 出力バス SDI(n/2:0) 入力バス
DBGCLK	出力 入力 入力	DBGMODE=00 この信号はPCTレース出力データの同期クロックとして用いられる。 PCHCLK DBGMODE=01 この信号はNBDの入出力データの同期クロックとして用いられる。 NBDCLK DBGMODE=10 この信号はシリアルモニタアクセスの入出力データの同期クロックとして用いられる。 SDCLK
DBGSS	出力 入力 出力	DBGMODE=00 この信号の有効期間はPCTレースの出力アドレスシーケンシャルであることを示す。この信号はチップからの出力である。 PCHSEQ DBGMODE=01 この信号の有効期間は入力データがNBD機能のコマンドであることを示す。この信号はICE側から供給される。 NBDSYNC DBGMODE=10 この信号の有効期間は出力データがスタートであることを示す。 SDSYNC

【0026】DBGMODE(1:0)信号の遷移について説明する。

DBGMODE(0):チップ入力信号。MPUコア1に対してNBD(ノンブレイクデバッグ)MODEの要求に使用する。1で要求中及びNBD動作中を示す。

DBGMODE(1):チップ出力信号。1はブレイク中であることを示す(シリアルモニタアクセスモード)。0はターゲットラン中であることを示す。この

時、MPUコア1はターゲットメモリアクセス中。デバッグユニット2.0はPCTレースかNBDモード。

【0027】表2はDBGMODE(1:0)とデバッグユニット(IDB)機能及び外部インターフェイスピン11の定義を示すものである。

【0028】

【表2】

(6)

IDB機能 外部インターフェイスピン	ターゲットモード		モニタモード	
	トレースPCモード	NBDモード	モニタアクセスモード	トランスステートモード
DBG (15:0)	PCHA (15:0) (OUT)	NBDDO (7:0) (OUT) NBDDI (7:0) (IN)	SDO (7:0) (OUT) SDI (7:0) (IN)	
DBGCLK	PCHCLK (OUT)	NBDCLK (IN)	SDCLK (IN)	
DBGS	PCHSEQ (OUT)	NBDSYNC (IN)	SDSYNC (OUT)	
DBGMODE (1:0)	(MODE 00)	(MODE 01)	(MODE 10)	(MODE 11)
DBGREQ	DBGREQはBAE(Break After Execution)が信号入力の要求を意味する		DBGREQは内部ブレークポイントメモリに書き込まれる情報を意味する	

### 【0029】(1) PCトレース機能

PCトレース機能は、ターゲットラン中 (DBGMODE=00) に、トレース部12からMPUコア1の実行中の命令のアドレスを時分割してセクタ15を介して外部インターフェイスピン11に出力する。チップ外部では、外部インターフェイスピン11の信号は、セクタ21によりトレースメモリ22に接続され、PCHクロック、PCHSEQの制御の下にトレースメモリ22にサンプリングされる。

【0030】PCトレースの出力内容は、アドレス上位から時分割で出力する。以下に出力例を説明する。

① MPUコア1のアドレス幅≤DBG (n:0) の信号線数の場合  
MPUのバスサイクルと同期して全アドレスを同時に出力する。

【0031】② MPUコア1のアドレス幅>DBG (n:0) の信号線数の場合

プログラムの分岐等でMPUコア1のアドレスがシーケンシャルでない時は、上位アドレスを出力し、シーケンシャルの場合は下位アドレスを出力する。図2、図3はトレースPCモードの出力タイミングを示す図である。図2はMPUコア1のアドレス幅が32ビット、DBG (15:0) の場合を、図3はMPUコア1のアドレス幅が16ビット、DBG (7:0) の場合をそれぞれ示している。

【0032】図2において、A (31:0) はMPUコア1の出力アドレスを、PCH (15:0) はIDBより出力される内容を、SUB (31:0) はトレースメモリ22に書き込まれる内容を、N-SEQはMPUコア1の出力するアドレスがノンシーケンシャル (プログラム分岐がある場合等) の場合を、SEQはMPUの出力するアドレスがシーケンシャルの場合をそれぞれ示している。NOPCは“0”レベルでMPUコア1がプログラムをリードする信号をそれぞれ示している。図3において、A (15:0) はMPUコア1の出力アドレスを、PCH (7:0) はデバッグユニット20より出力される内容を、SUB (15:0) はトレースメモリ2

2に書き込まれる内容を、N-SEQはMPUコア1の出力するアドレスがノンシーケンシャルの場合を、SEQはMPUコア1の出力するアドレスがシーケンシャルの場合をそれぞれ示している。図3の場合には、アドレスの全てがメモリに記憶される。

【0033】③ DBG (n:0) の信号線数がMPUコア1のアドレス出力を行なうのに必要な数に定義できない場合

この場合には、MPUコア1のプログラム分岐が発生したアドレスのみ出力する。分岐アドレス出力中に次の分岐アドレスが発生した場合、PCHSEQ信号をネゲート (非活性化) して、新しい分岐アドレス出力を行なうことでチップ外部で識別できるようにする。図4、図5はこの時のトレースPCモードの動作タイミングを示す図である。図4は、MPUコア1のアドレス幅が16ビット、DBG (3:0) の場合を、図5はMPUコア1のアドレス幅が16ビット、DBG (3:0) の場合をそれぞれ示している。図4の場合には、図3の場合と異なり、分岐によりアドレスがノンシーケンシャルになった場合、分岐アドレスのみメモリに記憶される。

【0034】(3) シリアルモニタアクセス機能  
シリアルモニタアクセス機能は、ターゲットMPUがブレーク中 (DBGMODE (1:0)=10の時) に、オフチップのモニタメモリのプログラムをDBG (n:0) 等の信号線を介してアクセスするために使用される。アクセスは、ステート、アドレス、データの順で時分割で入出力される。アドレス、データは上位ビットから転送する。ステートの内容は、リード、ライト、プログラムフェッチ、有効バイトである。有効バイトとは、32ビットデータバス (D31~D0) の場合で、バイトアクセスの時有効なバイト (D7~D0) をチップ外部に知らせるものである。

【0035】DBG (n:0) の本数により、シリアルモニタアクセス用のバスのSDI (n-1/2:0) , SDO (n-1/2:0) のビット幅が決まるので、ステート、アドレス、データは時分割して転送する必要がある。その分割個数の設定はノンブレークデバッグの機

(7)

11

能により設定する。

【0036】図6はシリアルモニタアクセスにおけるライトサイクルの動作タイミングを示す図である。図はDBG(15:0)の場合を示す。MPUコア1自身の1バスサイクルはSDCLK1~SDCLK13までである。BUSCLK2の立ち下がりでモニタメモリ23にデータライトされる。

【0037】シリアルモニタバスは、BUSCLK1でMPUコア1より既に出力されているアドレス、データ、ステートを時分割し、図中シリアルモニタアクセス部13→セクタ15→セクタ21→モニタメモリ23の経路でモニタメモリ23に出力する。モニタメモリアクセス時、DBG(n:0)はセクタ21を介して出力用バスSDO(n-1/2:0)と入力用バスSDI(n-1/2:0)に2等分されている。モニタメモリ23へのライトデータ、ステート、アドレスは、SDO(n-1/2:0)のバス幅に分割されてセクタ21のSDO(n-1/2:0)より出力される。

【0038】図6において、ライトデータがSDCLK12の時点でチップ外部において全ビット揃うので、SDCLK13の立ち下がり、つまりBUSCLKの立ち下がり、つまりモニタメモリ23にライト(書き込み)される。

【0039】図7はシリアルモニタアクセスにおけるリードサイクルの動作タイミングを示す図である。図はDBG(15:0)の場合を示す。リードサイクルにおいては、ステート、アドレスの出力はライトと同様に行なう。ステートの中のリード、ライトビットの転送によりICEはチップ外部でリードサイクルと認識する。モニタメモリ23側は、SDCLK6までに出力されたアドレスに該当するデータをSDCLK7までセットアップする。シリアルモニタアクセス部13は、チップ外部のD31~D0を、SDCLK8からSDI(n-1/2:0)を介して時分割で取り込む。そしてSDCLK12でチップ内部で全ビット(D31~D0)揃うと、MPUコア1はSDCLK13の立ち下がり、つまりBUSCLK2の立ち下がり、つまりD31~D0をリードする。

【0040】(3) ノンブレイクデバッグ(NBD) ノンブレイクデバッグ(NBD)は、オンチップデバッグリソースをノンブレイクデバッグ部14→セクタ15→セクタ21→ノンブレイクデバッグコントローラ24の経路でターゲットラン中のMPUコア1をブレイクすることなく、全ステートでチップ外部からアクセスできるインターフェイスである。NBDのオンチップリソースは、MPUコア1のメモリマップから独立したメモリを持っている。NBDには以下に示す4つの機能が  
ある。

【0041】① 初期設定機能：オンチップデバッグリセットの設定

12

② RAMモニタ機能：特定アドレスの最新アクセスデータのリードアウト

③ ダイナミックチューニング機能：特定アドレスのデータ変更

④ 予備：今後のMPU、アプリケーションの拡張用  
(NBDのアクセスフロー) 図8はNBDのメモリマップを示す図である。NBDマップの初期設定領域に初期設定を行ない、RAMモニタ領域にRAMモニタの設定を行ない、ダイナミックチューニング領域にダイナミックチューナの設定を行なう。このように構成されたメモリマップのNBDリソースのアクセスを図9のブロック図と図10のアクセスフローで説明する。図9において、10は組み込みチップ(図1参照)、1はMPUコア、14はノンブレイクデバッグ部である。30はNBDコントロールブロックで、シリ/パラ変換器31、レジスタ群32及びデコーダ33より構成されている。レジスタ群32は、P0レジスタ、P1レジスタ及びP2レジスタより構成される。40はICEコントロールユニットで、内部にICEのCPU41を含んでいる。

【0042】図8において、E00番地のラッチアドレスA(31:24)にデータ“AAH”(Hは16進を示す)をライトする場合、以下に行なう。

① P0レジスタにRAMモニタ機能へのライトを意味する“8EH”をライトする。

【0043】② P1レジスタにRAMモニタメモリマップ中のアドレスA(31:24)について変更するという“00H”をライトする。

③ P2レジスタにRAMモニタメモリマップ中のアドレスA(31:24)の中身を“AAH”に変更するために、“AAH”をライトする。

【0044】リードの場合、P0レジスタに“0EH”をライトし、P2レジスタをリードすることによりRAMモニタメモリマップ中のA(31:24)の内容がリードできる。

【0045】本発明によれば、以下のような効果が得られる。

① 外部アクセスインターフェイスのない組み込みチップ(シングルチップ)においても、デバッグ用のヒストリトレースを可能にしたので、MPUコアのプログラム実行、追跡等のデバッグができる。

【0046】② ノンブレイクデバッグ機能を設けたことにより、MPUコアのターゲットラン動作をブレイクすることなく、チップ内のデバッグリソースをアクセスできるようになる。これにより、MPUコアに影響を与えずにリアルタイムにデバッグの機能が使用できるようになる。

【0047】③ モニタシリアルアクセスインターフェイスを設けたので、ブレイク中はICE側のペースで制御できるようになる。また、外部バスのないシングルチップにおいても本機能によりモニタプログラムの実行が



(8)

13

可能になる。

【0048】④ オンチップブレイクメモリを設けたので、高速MPU又はシングルチップ時でも確実にブレイクできるようになる。

⑤ 上記①～④の機能を実チップ上に定義しても、ICE未使用時はIDBをディスエーブルにできるので、そのままターゲットオンチップMPUの初期流動期として使用できる。また、シングルチップ等で外部アクセスインターフェイスのない場合でも、評価用のエバチップやポートエミュレータ等を別途製作する必要がないため、ユーザ及びチップメーカにとってコスト、開発日程ともメリットが出る。

【0049】

【発明の効果】以上、詳細に説明したように、本発明によれば、ターゲット装置内のMPUを含む組み込みチップ（エンベデッドチップ）内に、ICEの機能の一部を実行するデバッグユニットを設けた。これにより、従来ターゲット装置とICE間でデータのやりとりを行なう際に用いていたバッファ等が不要となり、その分取り扱えるデータ速度を速くすることができる。例えば、従来バスサイクル30MHz程度までしか扱えなかったものが、100MHz程度まで扱えるようになる。

【0050】この場合において、前記デバッグユニットにチップ外部と接続するための外部インターフェイスピンを具備し、該外部インターフェイスピンはMPU及びそのアプリケーションの用途によりピン数の変更を可能にすることにより、MPU及びそのアプリケーションの用途により柔軟に対応することができ都合がよい。

【0051】このように、本発明によれば、高速のMPUがターゲットである場合でも十分なデバッグを行なうことができるインサーキットエミュレータを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成ブロック図である。

【図2】トレースPCモードの出力タイミングを示す図

14

である。

【図3】トレースPCモードの出力タイミングを示す図である。

【図4】トレースPCモードの出力タイミングを示す図である。

【図5】トレースPCモードの出力タイミングを示す図である。

【図6】シリアルモニタアクセスにおけるライトサイクルの動作タイミングを示す図である。

10 【図7】シリアルモニタアクセスにおけるリードサイクルの動作タイミングを示す図である。

【図8】NBDのメモリマップを示す図である。

【図9】NBDアクセスフローの説明ブロック図である。

【図10】NBDアクセスフローを示す図である。

【符号の説明】

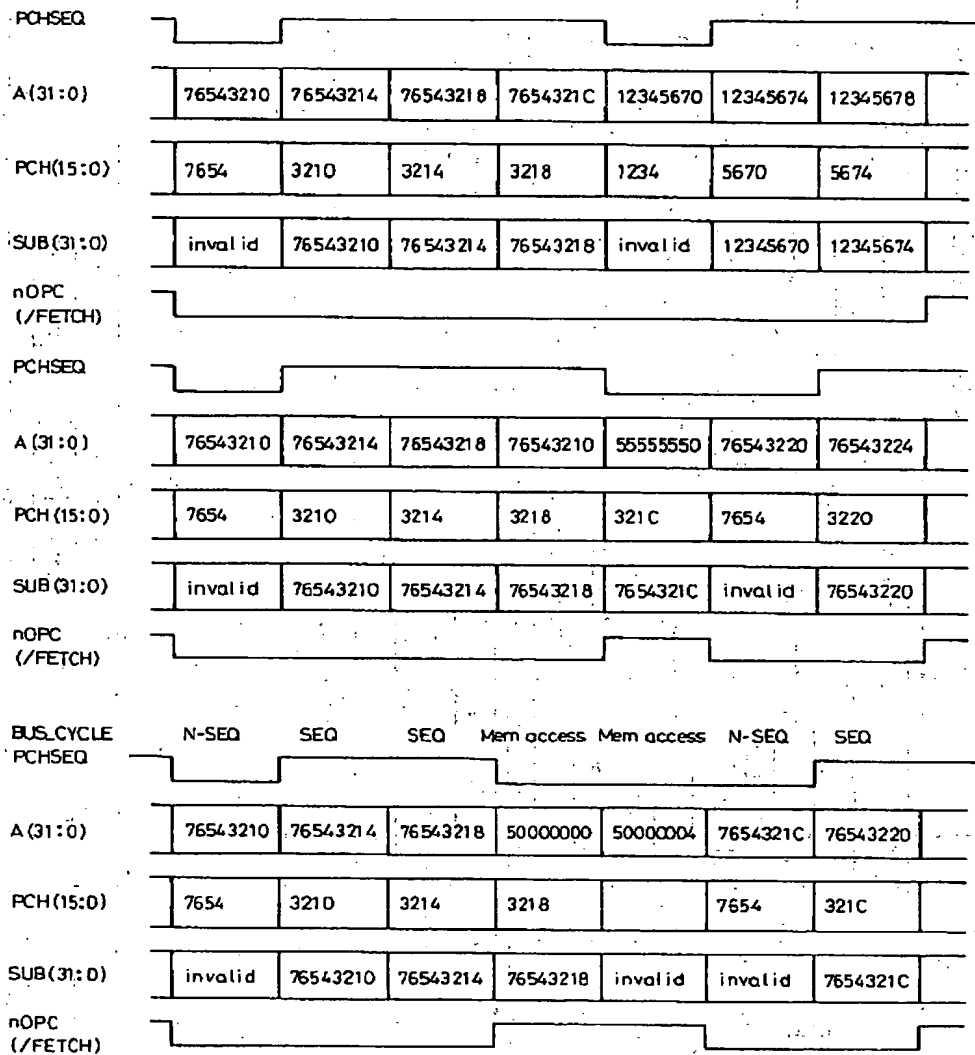
- 1 MPUコア
- 2 キャッシュ
- 2a ブレイクメモリ
- 3 外部バスコントローラ
- 4 バス
- 5 入出力装置
- 6 RAM
- 7 キャッシュROM
- 8 ブレイクメモリ
- 9 ブレイクポイント端子
- 10 組み込みチップ
- 11 外部インターフェイスピン
- 12 トレース部
- 13 シリアルモニタアクセス部
- 14 ノンブレイクデバッグ部
- 15 セレクタ
- 21 セレクタ
- 22 トレースメモリ
- 23 モニタメモリ
- 24 ノンブレイクデバッグコントローラ



(10)

【図2】

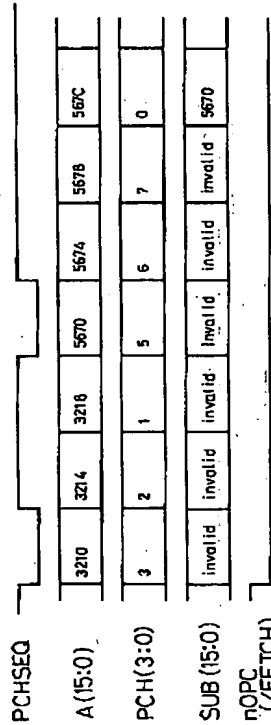
トレースPCモードの出カタイミングを示す図



(11)

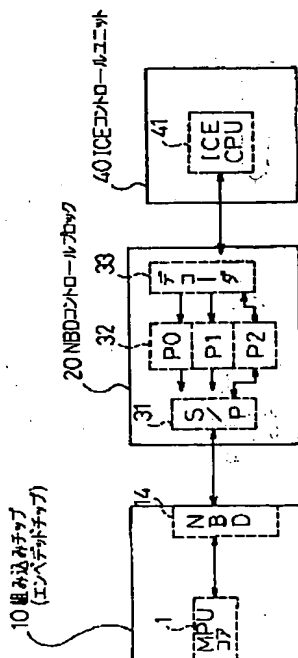
【図5】

トレースPCモードの出カタイミングを示す図



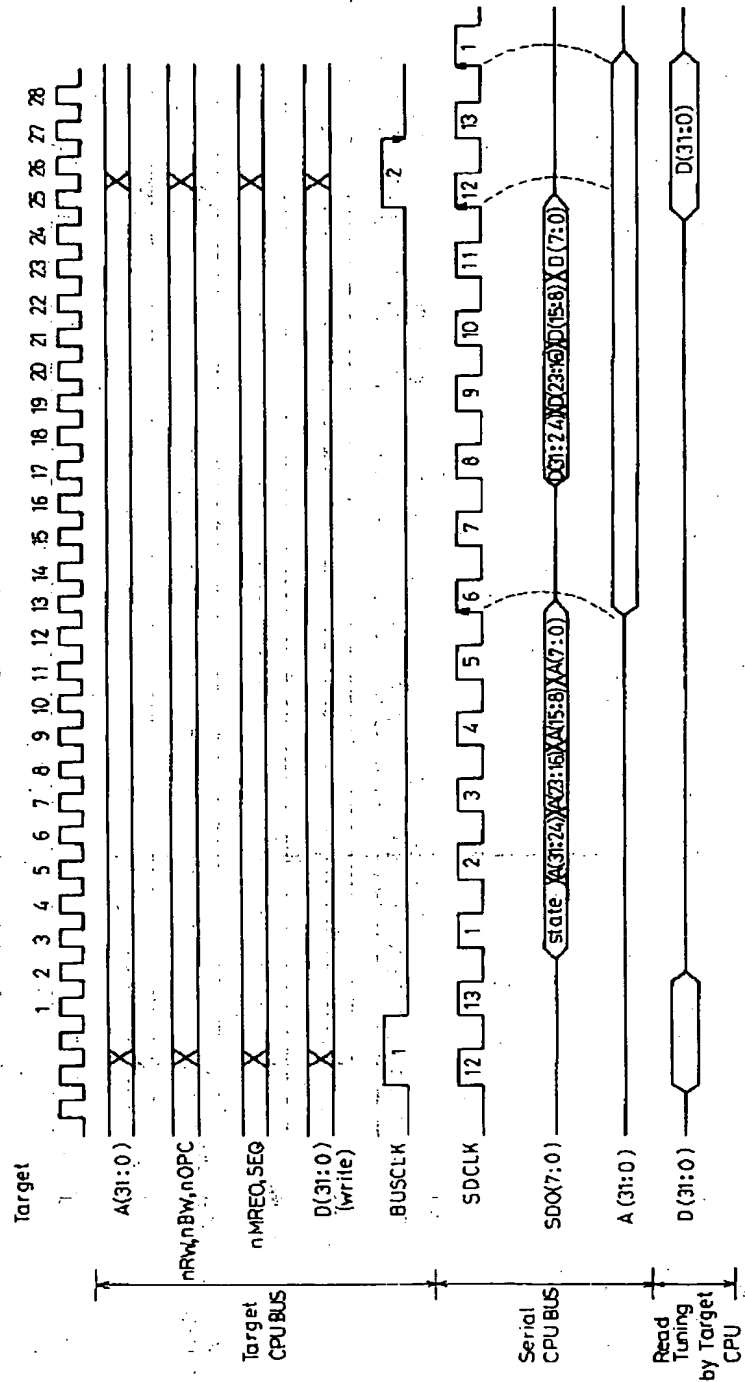
【図9】

NBDアクセスフローの説明ブロック図



【図6】

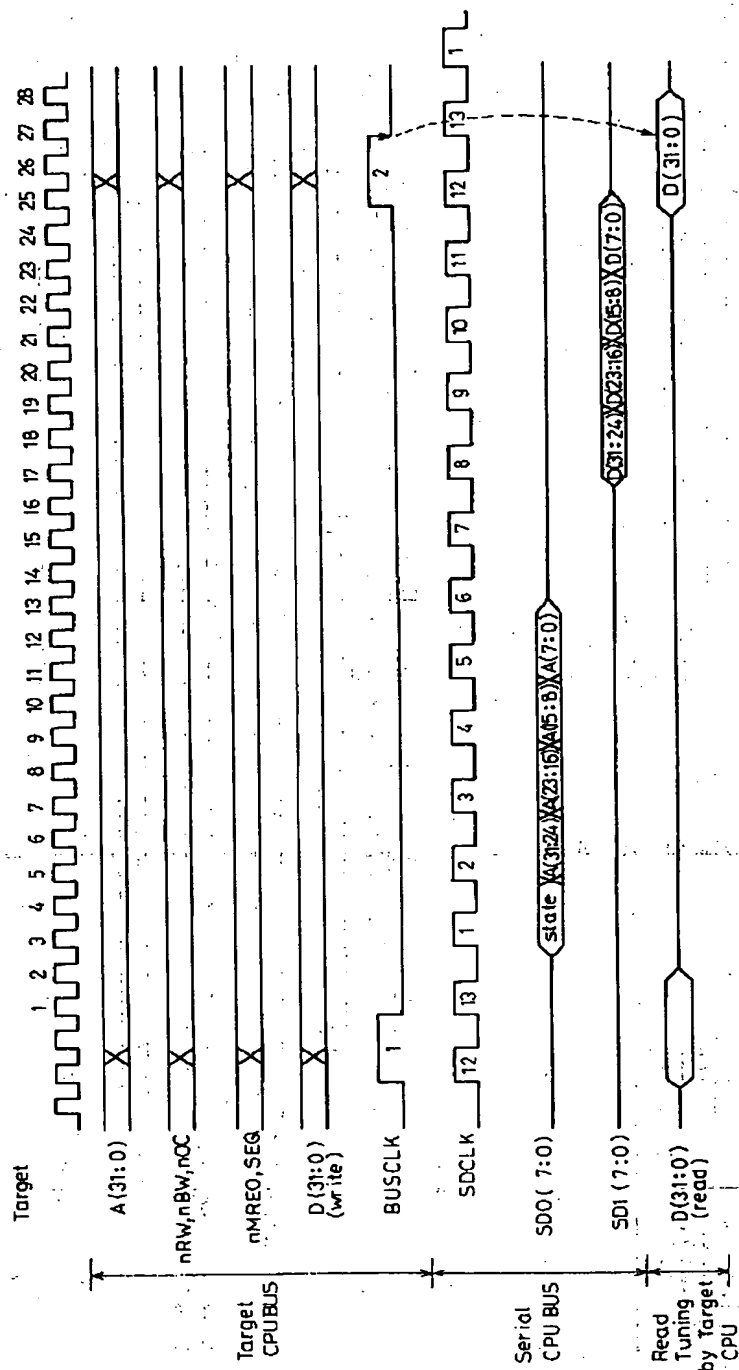
シリアルモニタアクセスにおけるライトサイクルの動作タイミングを示す図



(12)

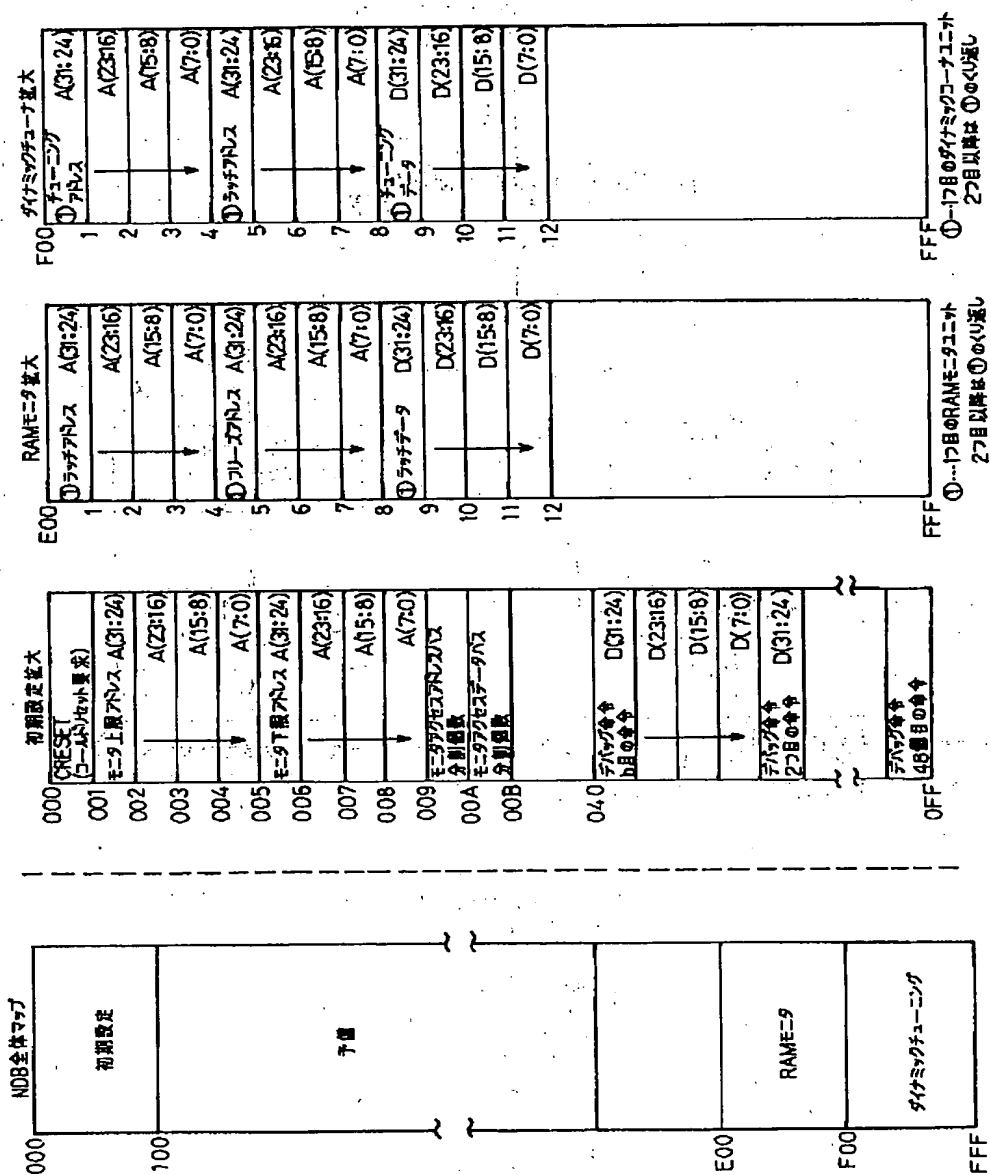
【図7】

シリアルモニタアクセスにおけるリードサイクルの動作タイミングを示す図



·【图8】

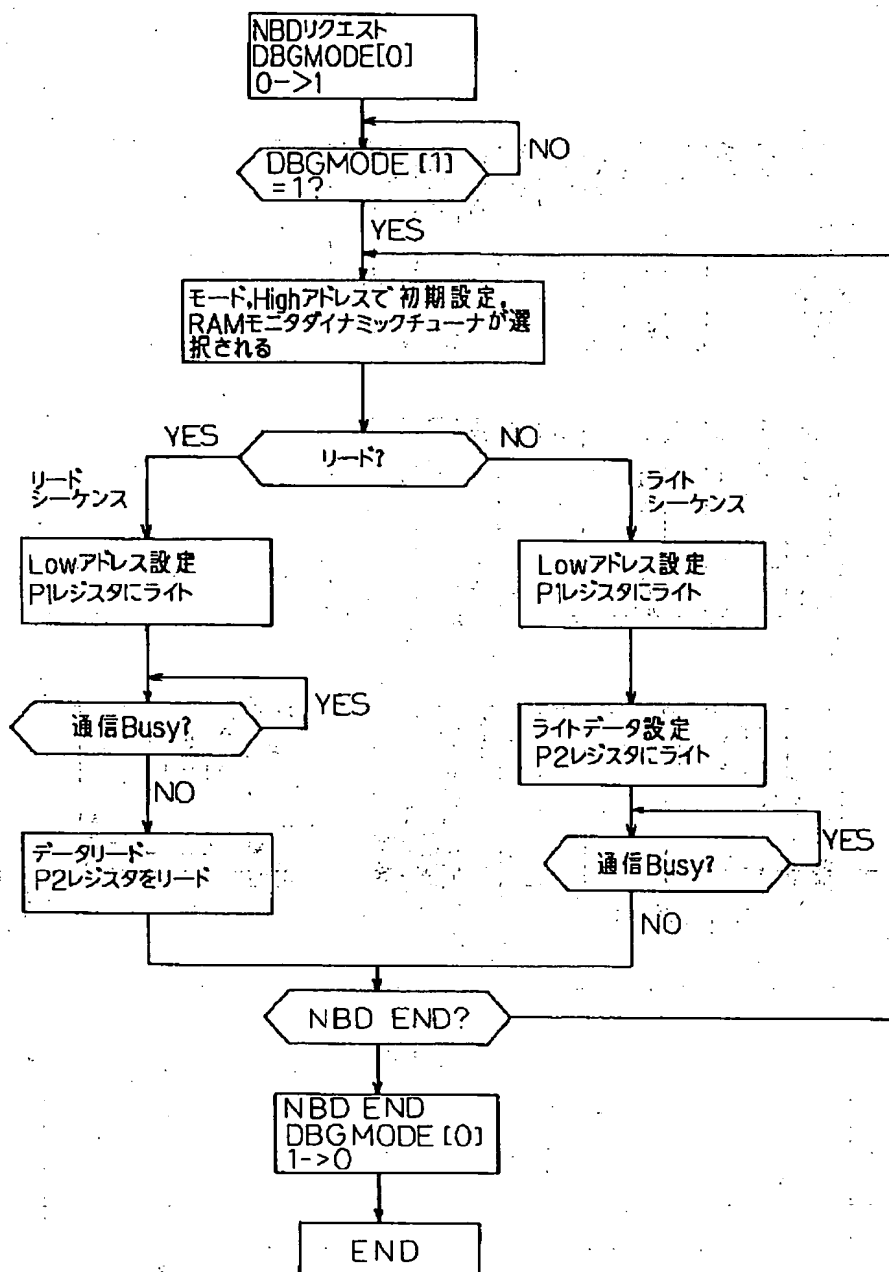
NBDのメモリマップを示す図



(14)

【図10】

NBDアクセスフローを示す図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**